

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-079663

(43)Date of publication of application : 22.03.1996

(51)Int.Cl.

H04N 5/66
G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 06-213962

(71)Applicant : SHARP CORP

(22)Date of filing : 07.09.1994

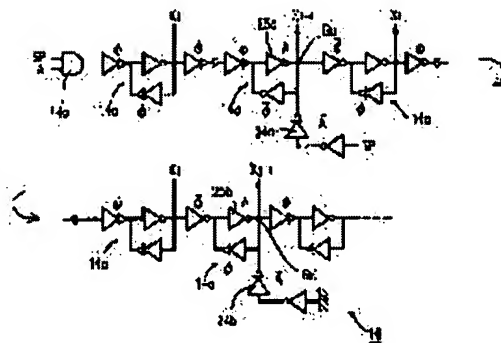
(72)Inventor : SHIMADA NAOYUKI
AKEHI YASUNAO
TAKATO YUTAKA

(54) DRIVE CIRCUIT AND DISPLAY DEVICE

(57)Abstract:

PURPOSE: To form the blank part of prescribed size in a display part and to switch plural display systems having a prescribed aspect ratio and display capacity by permitting a shift register to switch both the start position and the termination position of a shift operation or either of it by a control signal.

CONSTITUTION: An AND circuit 14b inputting a start pulse SP and a display system switch signal (control signal) A is connected to one end of the shift register 14. The AND outputs of the both signals are inputted to a unit register 14a in an initial state. The start pulse is inputted to a signal node Bu corresponding to the upper end of the display screen of a B-system among the signal nodes of respective stages in the shift register 14 through a clocked inverter 24a controlled by the signal A. A 0-level is inputted to a signal node Bd corresponding to the lower end of the display screen of the B-system through a clocked inverter 24b controlled by the signal A among the signal nodes of the respective stages in the shift register 14.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-79663

(43) 公開日 平成8年(1996)3月22日

(51) Int. Cl. ⁶	識別記号	片内整理番号	P I	技術表示箇所
H 0 4 N 5/86	1 0 2 B			
G 0 2 F 1/133	5 5 0			
G 0 9 G 3/20		R 4237-5H		
3/36				

審査請求 未請求 請求項の数14 O L (全 14 頁)

(21) 出願番号 特願平6-213962

(22) 出願日 平成6年(1994)9月7日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 島田 尚幸

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 明比 康隆

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 ▲高▼藤 裕

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

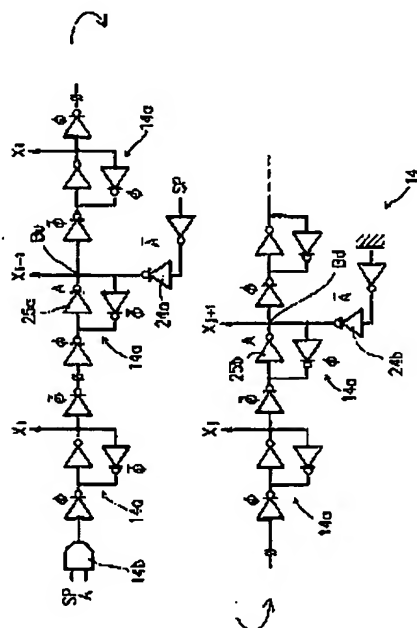
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 駆動回路及び表示装置

(57) 【要約】

【目的】 映像信号の時間軸を変調しなくても表示部の上、下端部及び左、右側部にしかるべき大きさの余白部を形成することができ所定のアスペクト比、表示容量を持つ複数の表示方式の切り替えが可能となる。

【構成】 定査信号駆動回路あるいはデータ駆動回路を構成するシフトレジスタ14を、スタート信号SPが入力されるノードBuが、制御信号Aにより設定され、該設定されたノードの直前の単位レジスタ14aが、該制御信号Aにより非動作状態となるようにし、シフト動作のスタート位置及び終了位置を制御信号Aによって切替え可能な構成とした。



(2)

特開平8-79663

1

2

【特許請求の範囲】

【請求項1】 複数の走査信号線を順次駆動する駆動回路であって、

単位レジスタを該各走査信号線に対応させてシリアルに複数接続してなり、所定のノードに入力されたスタート信号を、基準信号に基づいて次々に隣の単位レジスタにシフトして一端側に送るシフトレジスタを備え、

該シフトレジスタは、該スタート信号が入力されるノードが、制御信号により設定され、該設定されたノードの直前の単位レジスタが、該制御信号により非動作状態となるよう構成されており、

該シフトレジスタは、シフト動作のスタート位置及び終了位置の一方またはその両者を該制御信号によって切替え可能な構成となっている駆動回路、

【請求項2】 表示装置における複数の走査信号線、あるいは表示装置におけるデータ信号をサンプリングする複数のサンプリングゲートを駆動制御する駆動回路であって、

単位レジスタを該各走査信号線あるいは該各サンプリングゲートに対応させてシリアルに複数接続してなり、所定のノードに入力された信号を、基準信号に基づいて次々に隣の単位レジスタにシフトして一端側に送るシフトレジスタと、

該シフトレジスタの各単位レジスタの保持信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備え、

該論理ゲート群は、該シフトレジスタの、一部を走査する時にシフト動作が行われる領域ではその出力をそのまま該バッファに出力し、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域では、単位レジスタの出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成されている駆動回路、

【請求項3】 複数の走査信号線、及びこれに交差するよう配設された複数のデータ信号線を有し、該走査信号線とデータ信号線との交差点への電圧印加により表示が行われる表示部と、

複数の走査信号線を順次駆動する走査信号駆動回路と、複数のデータ信号線を順次駆動するデータ駆動回路とを備え、

該走査信号駆動回路及びデータ駆動回路の少なくとも一方が、表示切り替え信号によって制御され、この表示切り替えによって表示部では、表示画面の周辺部が余白領域となるよう構成されている表示装置、

【請求項4】 前記走査信号駆動回路及びデータ駆動回路の少なくとも一方は、

単位レジスタを前記各走査信号線あるいは前記各データ信号線に対応させてシリアルに複数接続してなり、所定のノードに入力されたスタート信号を、基準信号に基づいて次々に隣の単位レジスタにシフトして一端側に送る

シフトレジスタを有し、

該シフトレジスタは、該スタート信号がその端部ノードと所定の中間ノードとの間で制御信号により切り換えられて入力されるよう構成されている請求項3に記載の表示装置、

【請求項5】 前記データ信号線の順次駆動は、データ信号をサンプリングする複数のサンプリングゲートを順次駆動制御して行われるものであり、

前記走査信号駆動回路及びデータ駆動回路の少なくとも一方は、

単位レジスタを前記各走査信号線あるいは前記各サンプリングゲートに対応させてシリアルに複数接続してなり、所定のノードに入力されたスタート信号を、基準信号に基づいて次々に隣の単位レジスタにシフトして一端側に送るシフトレジスタと、

該シフトレジスタの各単位レジスタの保持信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備え、

該論理ゲート群は、該シフトレジスタの、一部を走査する時にシフト動作が行われる領域ではその出力をそのまま該バッファに出力し、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域では、単位レジスタの出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成されている請求項3に記載の表示装置、

【請求項6】 前記シフトレジスタは、前記スタート信号がその端部ノードと所定の中間ノードとの間で制御信号により切り換えられて入力されるよう構成されている請求項5に記載の表示装置、

【請求項7】 前記シフトレジスタは、双方向のシフト動作が可能な双方向走査対応のものである請求項4ないし6のいずれかに記載の表示装置、

【請求項8】 該シフトレジスタの途中のノードにスタート信号を入力する論理ゲートと、該シフトレジスタの、スタート信号の入力ノードとそれ以外のノードとで、該シフトレジスタの出力信号の遅延量が一定となるようにする第1の遅延時間調整手段とを備えた請求項4または6に記載の表示装置、

【請求項9】 該シフトレジスタの、一部を走査する時にシフト動作が行われる領域と、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域との間で、出力信号の遅延量を一定とする第2の遅延時間調整手段を有する請求項5または6に記載の表示装置、

【請求項10】 表示装置における複数の走査信号線、あるいは表示装置における、データ信号をサンプリングする複数のサンプリングゲートを駆動制御する駆動回路であって、

複数の出力ノードを有し、複数の入力信号に基づいて所定の出力ノードに信号を出力するデコーダと、該デコーダの各出力ノードからの信号を受け、これを走

(3)

特開平 8-79663

3

査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備え、該論理ゲート群は、該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域ではそのデコード出力をそのまま該バッファに出力し、該デコーダの、各出力ノードへのデコード出力が一定である領域では、そのデコード出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成されている駆動回路。

【請求項 11】 前記データ信号線の順次駆動は、データ信号をサンプリングする複数のゲートを順次駆動制御して行われるものであり、

前記走査信号駆動回路及びデータ駆動回路の少なくとも一方は、

複数の出力ノードを有し、複数の入力信号に基づいて所定の出力ノードに信号を出力するデコーダと、

該デコーダの各出力ノードからの信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備え、

該論理ゲート群は、該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域ではそのデコード出力をそのまま該バッファに出力し、該デコーダの、各出力ノードへのデコード出力が一定である領域では、そのデコード出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成されている請求項 3 に記載の表示装置。

【請求項 12】 該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域と、該デコーダの、各出力ノードへのデコード出力が一定である領域との間で、デコード出力の遅延量を一定とする遅延時間調整手段を有する請求項 11 に記載の表示装置。

【請求項 13】 前記表示画面の周辺部に表示される余白領域に対応する映像信号は、水平ブランキング時間、又は垂直ブランキング時間にデータ駆動回路から各データ信号線に供給される請求項 3 ないし 9、11、12 のいずれかに記載の表示装置。

【請求項 14】 前記表示画面の周辺部に表示される余白領域に対応する映像信号の少なくとも一部は、映像信号をデータ駆動回路からデータ信号線に供給するアナログスイッチとは別のアナログスイッチを通じて水平ブランキング時間、又は垂直ブランキング時間に各データ信号線に供給される請求項 3 ないし 9、11、12、13 のいずれかに記載の表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、駆動回路及び表示装置に関し、特に、横の画素数の異なる複数の表示方式の映像信号を、駆動回路の動作を切り換えることにより 1 つの表示パネルに表示可能に構成したものに關する。

【0002】

4

【従来の技術】 図 6 は従来の液晶表示装置の構成の一例を示す。図において、100 は従来のアクティブマトリクス基板を用いた液晶表示装置で、該基板上に一体的に作り込まれた走査信号駆動回路 104 及びデータ駆動回路 105 を有している。このアクティブマトリクス基板には、マトリクス状に配列された画素 107 に対応して画素 TFT (薄膜トランジスタ) 103 が形成されている。またこの基板上には、上記画素 107 にデータ信号を供給するデータ信号線 (データバスライン) 102、及び上記画素 TFT 103 に制御信号を供給する走査信号線 101 が配設されている。上記各データバスライン 102 はそれぞれ容量 109 を介して接地レベルに接続されている。

【0003】 上記各画素 TFT 103 のソースは、対応するデータ信号線 102 に接続され、そのゲートは、対応する走査信号線 101 に接続されている。また該画素 TFT 103 のドレイン電極には、画素容量 106 が接続される。ここでは、上記画素 107 を構成する液晶は、該画素容量 106 と並列に接続された容量として機能する。各画素容量 106 の一方の端子は、画素容量共通配線 110 を通じて、対向基板上的対向電極と共に接地されている。

【0004】 上記走査信号駆動回路 104 は、各段の出力が各走査信号線に接続されたシフトレジスタを有し、画素 TFT 103 のオン、オフ制御信号を走査信号線 101 へ出力する。データ駆動回路 105 は、映像信号入力線 108 とデータ信号線 (データバスライン) 102 との間に接続されたアナログスイッチ 111 と、該アナログスイッチをオン、オフ駆動するシフトレジスタ 105a とを有し、データバスライン 102 に対してデータ信号を供給する。

【0005】 近年、従来のアスペクト比 4:3 のテレビジョンに加えて HDTV (高品位テレビ) に代表されるアスペクト比 16:9 のワイドテレビジョンが普及し始めている。それに対応して複数方式のテレビジョン表示が可能な表示装置の需要が高まっている。また、表示装置をコンピュータ等に接続し情報端末用として用いることも広く行われている。この場合にもコンピュータの使い方が多様化し、VGA (ビデオグラフィックアレイ)、XGA (エクステンディッドビデオグラフィックアレイ)、EWS (エンジニアリング用ワークステーション) 等に代表されるように種々の規格が混在するようになってきた。そのため情報端末用として用いる場合にも、それぞれの規格に対応させてその仕様を切り替えて表示できる表示装置の需要も高まっている。

【0006】 特にマトリクス型の表示パネルを用いて、複数方式の表示を行う表示装置としては、例えば特開平 3-131182 号公報に開示のものがある。この表示装置では、入力された映像信号の時間軸を変調して、映像信号 1 行分 (1 走査線分) の有効走査期間の前端部分

(4)

特開平8-79663

5

及び後述部分に、余白部に対応する所定レベルの信号期間を有する映像信号を形成することによって、表示画像の左右両側部を余白部とし、アスペクト比の異なる2種類の表示を行う方法を採用している。

【0007】

【発明が解決しようとする課題】ところが、特開平3-131182号公報に開示されている方法では、映像信号の時間軸を変調する必要がある、表示装置の外部駆動回路が複雑になるという欠点がある。

【0008】この発明は上記のような問題点を解決するためになされたもので、行方向、列方向の画素数が異なる複数の表示方式の画像を、データ信号に時間軸の変調処理を施すことなく、データ信号の表示方式に合わせて表示することができる駆動回路及び表示装置を得ることが本発明の目的である。

【0009】

【課題を解決するための手段】

(1) この発明に係る駆動回路は、複数の走査信号線を順次駆動する駆動回路であって、単位レジスタを該各走査信号線に対応させてシリアルに複数接続してなり、所定のノードに入力されたスタート信号を、基準信号に基づいて次々に隣接の単位レジスタにシフトして一端側に送るシフトレジスタを備えている。該シフトレジスタは、該スタート信号が入力されるノードが、制御信号により設定され、該設定されたノードの直前の単位レジスタが、該制御信号により非動作状態となるよう構成され、シフト動作のスタート位置及び終了位置の一方またはその両者を制御信号によって切替え可能となっている。そのことにより上記目的が達成される。

【0010】(2) この発明に係る駆動回路は、表示装置における複数の走査信号線、あるいは表示装置におけるデータ信号をサンプリングする複数のサンプリングゲートを駆動制御する駆動回路であって、単位レジスタを該各走査信号線あるいは該各サンプリングゲートに対応させてシリアルに複数接続してなり、所定のノードに入力された信号を、基準信号に基づいて次々に隣接の単位レジスタにシフトして一端側に送るシフトレジスタと、該シフトレジスタの各単位レジスタの保持信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備えている。該論理ゲート群は、該シフトレジスタの、一部を走査する時にシフト動作が行われる領域ではその出力をそのまま該バッファへ出力し、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域では、単位レジスタの出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファへ出力するよう構成されている。そのことにより上記目的が達成される。

【0011】(3) この発明に係る表示装置は、複数の走査信号線、及びこれに交差するよう配設された複数のデータ信号線を有し、該走査信号線とデータ信号線との

6

交差部への重圧印加により表示が行われる表示部と、複数の走査信号線を順次駆動する走査信号駆動回路と、複数のデータ信号線を順次駆動するデータ駆動回路とを備えている。該走査信号駆動回路及びデータ駆動回路の少なくとも一方は、表示切り替え信号によって制御され、この表示切り替えによって表示部では、表示画面の周辺部が余白領域となるよう構成されている。そのことにより上記目的が達成される。

【0012】(4) この発明の表示装置は以下の構成とすることが好ましい。上記走査信号駆動回路及びデータ駆動回路の少なくとも一方は、単位レジスタを前記各走査信号線あるいは前記各データ信号線に対応させてシリアルに複数接続してなり、所定のノードに入力された信号を、基準信号に基づいて次々に隣接の単位レジスタにシフトして一端側に送るシフトレジスタを有している。該シフトレジスタは、該スタート信号がその端部ノードと所定の中間ノードとの間で制御信号により切り換えられて入力されるよう構成されている。

【0013】(5) この発明の表示装置は以下の構成とすることが好ましい。上記データ信号線の順次駆動を、データ信号をサンプリングする複数のサンプリングゲートを順次駆動制御して行われるものとし、前記走査信号駆動回路及びデータ駆動回路の少なくとも一方は、単位レジスタを前記各走査信号線あるいは前記各サンプリングゲートに対応させてシリアルに複数接続してなり、所定のノードに入力されたスタート信号を、基準信号に基づいて次々に隣接の単位レジスタにシフトして一端側に送るシフトレジスタと、該シフトレジスタの各単位レジスタの保持信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群を備える。該論理ゲートは、該シフトレジスタの、一部を走査する時にシフト動作が行われる領域ではその出力をそのまま該バッファへ出力し、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域では、単位レジスタの出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファへ出力するよう構成されている。

【0014】(6) 上記表示装置では、上記シフトレジスタは、前記スタート信号がその端部ノードと所定の中間ノードとの間で制御信号により切り換えられて入力されるよう構成されていることが好ましい。

【0015】(7) この発明の駆動回路あるいは表示装置では、上記シフトレジスタは、双方向のシフト動作が可能な双方向走査対応のものであることが好ましい。

【0016】(8) この発明の駆動回路あるいは表示装置では、上記シフトレジスタの途中のノードにスタート信号を入力する論理ゲートと、該シフトレジスタの、スタート信号の入力ノードとそれ以外のノードとで、該シフトレジスタの出力信号の遅延量が一定となるようにする第1の遅延時間調整手段とを備えていることが好まし

(5)

特開平8-79663

7

い。

【0017】(9)この発明の駆動回路あるいは表示装置では、該シフトレジスタの、一部を走査する時にシフト動作が行われる領域と、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域との間で、出力信号の遅延量を一定とする第2の遅延時間調整手段を有することが好ましい。

【0018】(10)この発明に係る駆動回路は、表示装置における複数の走査信号線、あるいは表示装置における、データ信号をサンプリングする複数のサンプリングゲートを駆動制御する駆動回路であって、複数の出力ノードを有し、複数の入力信号に基づいて所定の出力ノードに信号を出力するデコーダと、該デコーダの各出力ノードからの信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備えている。該論理ゲート群は、該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域ではそのデコード出力をそのまま該バッファに出力し、該デコーダの、各出力ノードへのデコード出力が一定である領域では、そのデコード出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成されている。そのことにより上記目的が達成される。

【0019】(11)この発明の表示装置は以下の構成とすることが好ましい。上記データ信号線の順次駆動は、データ信号をサンプリングする複数のサンプリングゲートを順次駆動制御して行われるものであり、上記走査信号駆動回路及びデータ駆動回路の少なくとも一方は、複数の出力ノードを有し、複数の入力信号に基づいて所定の出力ノードに信号を出力するデコーダと、該デコーダの各出力ノードからの信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備えている。該論理ゲート群は、該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域ではそのデコード出力をそのまま該バッファに出力し、該デコーダの、各出力ノードへのデコード出力が一定である領域では、そのデコード出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成されている。

【0020】(12)この発明の表示装置では、該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域と、該デコーダの、各出力ノードへのデコード出力が一定である領域との間で、デコード出力の遅延量を一定とする遅延時間調整手段を有していることが好ましい。

【0021】(13)この発明の駆動回路あるいは表示装置では、上記表示画面の周辺部に表示される余白領域に対応する映像信号は、水平ブランキング時間、又は垂直ブランキング時間にデータ駆動回路から各データ信号線に供給されることが好ましい。

8

【0022】(14)この発明の駆動回路あるいは表示装置では、上記表示画面の周辺部に表示される余白領域に対応する映像信号の少なくとも一部は、映像信号をデータ駆動回路からデータ信号線に供給するアナログスイッチとは別のアナログスイッチを通じて水平ブランキング時間、又は垂直ブランキング時間に各データ信号線に供給されることが好ましい。

【0023】

【作用】本発明においては、走査信号駆動回路あるいはデータ駆動回路を構成するシフトレジスタを、スタート信号が入力されるノードが、制御信号により設定され、該設定されたノードの直前の単位レジスタが、該制御信号により非動作状態となるようにし、シフト動作のスタート位置及び終了位置の一方またはその両者を制御信号によって切替え可能な構成としたから、該シフトレジスタにおいて、走査信号線やデータ信号線の選択信号を一端側から他端側にシフトさせる範囲を定めることができる。これにより行方向、列方向の画素数が異なる複数の表示方式の画像を、データ信号に時間軸の変調処理を施すことなく、データ信号の表示方式に合わせて表示することができる。

【0024】つまり、サイズの大きな表示画面の映像信号に対しては、上記シフトレジスタの全範囲に渡ってシフト動作を行い、サイズの小さい表示画面の映像信号に対しては、上記シフトレジスタの限られた範囲でシフト動作をさせることにより、データ信号の時間軸を変調しなくても表示部の上下端部や左右側部にしかるべき大きさの余白部を形成することができ、所定のアスペクト比、表示容量を持つ複数の表示方式の切り替えが可能となる。

【0025】この発明においては、走査信号駆動回路及びデータ駆動回路の少なくとも一方が、表示切り替え信号によって制御され、この表示切り替えによって表示部では、表示画面の周辺部が余白領域となるようにしたので、サイズの大きな表示画面の映像信号に対しては、上記表示画面の全体に渡って画像表示を行い、サイズの小さい表示画面の映像信号に対しては、上記表示画面の周辺部を余白とし、該周辺部を除く限られた範囲に画像表示を行うことにより、データ信号の時間軸を変調しなくても表示部の上下左右にしかるべき大きさの余白部を形成することができ、所定のアスペクト比、表示容量を持つ複数の表示方式の切り替えが可能となる。

【0026】この発明においては、複数の出力ノードを有し、複数の入力信号に基づいて所定の出力ノードに信号を出力するデコーダと、該デコーダの各出力ノードからの信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備え、該論理ゲート群を、該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域ではそのデコード出力をそのまま該バッファに出力し、該デコーダの、

(6)

特開平8-79663

9

各出力ノードへのデコード出力が一定である領域では、そのデコード出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成したので、上記のものと同様、行方向、列方向の画素数が異なる複数の表示方式の画像を、データ信号に時間軸の変調処理を施すことなく、データ信号の表示方式に合わせて表示することができる。

【0027】

【実施例】

（実施例1）図1は本発明の第1の実施例による液晶表示装置を説明するための図であり、図1（a）は、該液晶表示装置により表示される複数の表示方式における表示画像を模式的に示し、図1（b）は、上記液晶表示装置の構成を示す。

【0028】図において、1は本実施例の液晶表示装置で、2aは画素数の多い表示方式（A方式）のデータ信号をその表示部に表示させたときの表示画像、2bは画素数の少ない表示方式（B方式）を該表示部に表示させたときの表示画像である。例えば本表示装置を情報端末用として用いた場合に、A方式のデータ信号に対応する表示画像2aは、その精細度が高いものとなり、B方式のデータ信号に対応する表示画像2bは、精細度の低いものとなる。ここではB方式として、A方式に比べると行方向、列方向ともに画素数が少ないものについて述べるが、本発明は、B方式が、A方式に比べて行方向及び列方向のいずれか一方についてのみが画素数が少ないものである場合にも適用できることは言うまでもない。

【0029】ここで、ゲートドライバ（走査信号駆動回路）4を構成するシフトレジスタは、その各段の出力が論理ゲート、バッファを通じて表示部内の走査信号線101に供給されるようになっている。一方ソースドライバ（データ駆動回路）5を構成するシフトレジスタ15は、その各段の出力が論理ゲート、及びバッファを通じて、映像信号線108と各データ信号線102との間のアナログスイッチ111の制御信号となるようにしてある。なお、図6と同一符号は従来の液晶表示装置と同一のものを示している。

【0030】図2は上記ゲートドライバ4を構成するシフトレジスタの回路構成を示す。図において、14は、単位レジスタ14aを各走査信号線101に対応させてシリアルに複数接続してなるシフトレジスタで、各単位レジスタ14aは、進スタティック型のD-フリップフロップを用いて構成されている。シフトレジスタ14の一端（紙面左端）には、スタートパルスSPと表示方式切り替え信号（制御信号）Aとを入力とするAND回路14bが接続されており、初段の単位レジスタ14aには、該両信号のAND出力が入力されるようになっている。上記シフトレジスタ14の各段の信号ノードのうち、B方式の表示画面2bの上端に対応する信号ノードBuには、スタートパルスが、信号/Aによって制御さ

10

れるクロックインバータ24aを介して入力される。また上記シフトレジスタ14の各段の信号ノードのうち、B方式の表示画面2bの下端に対応する信号ノードBdには、信号/Aによって制御されるクロックインバータ24bを介して0レベルが入力される。

【0031】ここでは、信号Aが1レベルの場合には、シフトレジスタは、通常のシフト動作を行う。つまりシフトレジスタの左端からスタート信号SPが入力され、それがクロック信号φ（/φ）に応じて順に送られて行く。これがA方式のデータ信号の表示を行う際のシフトレジスタ14の動作である。

【0032】一方信号Aが0レベルの場合には左端のAND回路14bの出力はスタート信号に関係なく0レベルである。このスタート信号（0レベル）はクロック信号に応じて順に送られて行くが、シフトレジスタの、B方式の表示画面2bの上端に対応する信号ノードBuの直前のクロックインバータ25aが信号Aによってオフとなっているため、その先には送られない。

【0033】上記信号ノードBuにはスタート信号SPが入力され、シフトレジスタ14の該信号ノードBu以降の、B方式の表示画面2bに対応した部分では、クロック信号に応じてこのスタート信号SPが順に送られる。シフトレジスタ14の、B方式の表示画面2bの下端に対応する信号ノードBdの直前のクロックインバータ25bは、上記信号ノードBu直前のものと同様信号Aによってオフとなっており、そのためスタート信号は上記信号ノードBdの先には送られない。代わってこの信号ノードBdには0レベルが入力される。従って、信号Aが0レベルの場合には、B方式の表示領域2bにおいてのみ、順に選択レベルが走査信号線101に出力される。一方、該B方式のデータ信号を表示しているときの表示画像の両端部のアナログスイッチ（サンプリングゲート）111には、常に非選択レベルが出力される。

【0034】この場合、シフトレジスタの途中の信号ノードに入力されるスタートパルスについては、シフトレジスタの他の信号ノードの出力に対する信号の並進対称性が崩れている。

【0035】つまり、上記信号ノードにスタートパルスを入力するための回路構成に起因して、シフトレジスタのスタート信号が入力される信号ノードと他の信号ノードとでは、出力される信号のタイミングがずれている。

【0036】従って、これがデータ駆動回路においてサンプリングタイミングずれにつながり表示に影響することの無いように、例えば、シフトレジスタを構成する単位レジスタについて、その構成トランジスタのチャネル幅あるいはチャネル長を選択的に変えたり、上記タイミングを合わせるために、上記シフトレジスタの所要の信号ノードに遅延用の負荷を設けたりすることが望ましい。

(7)

特開平8-79663

11

【0037】また、シフトレジスタにおけるスタートパルスの入力ノードは、かならずしもB表示領域の境界に対応するシフトレジスタの信号ノードにきちんと合わせる必要はなく、オーバースキャンを考慮して数画素分外側に設けることも設計上充分に考慮すべきである。

【0038】図3は上記シフトレジスタの出力とバッファとの間の論理回路群を示す。図において、16はシフトレジスタ14の出力とバッファ（図せず）との間に設けられている論理回路群で、上記シフトレジスタの各段の出力に対応する複数の単位論理回路16aからなる。ここでX1、・・・Xmはシフトレジスタ14の出力である。但し、所望の駆動信号を得るための、論理ゲートによるパルス幅の変換などは既に行われているものとする。RBは、B方式のデータ信号の表示領域に対応する、シフトレジスタの出力領域で、この出力領域RBに対応する単位論理回路16bは、直列接続の2つのインバータ26aからなり、切り替え信号Aに關係なくシフトレジスタ14の出力をそのまま通過させてバッファへ出力する。

【0039】一方、RAはB方式のデータ信号の表示領域上下の余白領域に対応する、シフトレジスタの出力領域で、この出力領域RAに対応する単位論理回路16aは、信号Aにより制御され、シフトレジスタの出力を受けるクロックインバータ26aと、信号/Aにより制御され、余白サンプリング制御信号BCを受けるクロックインバータ26bと、該両インバータ26a、26bの出力に共通接続されたインバータ26とからなる。この単位論理回路16aは、信号Aが1レベルの場合にはシフトレジスタ14の出力を通過させて直接バッファに出力し、信号Aが0レベルの場合には余白部サンプリング制御信号BCをシフトレジスタ14の出力のかわりにバッファに出力する。

【0040】上記説明では、ゲートドライバを構成するシフトレジスタについて説明したが、ソースドライバを構成するシフトレジスタも、行方向（水平走査方向）と列方向（垂直走査方向）の違いがあるだけで、その他は上記ゲートドライバのものと同様な構成となっている。

【0041】図4は上記各駆動回路の駆動タイミングの一例を示し、図4（a）は走査信号駆動回路の動作タイミングを説明するための波形図、図4（b）はデータ駆動回路の動作タイミングを説明するための波形図である。

【0042】図において、BCGが列方向の余白部サンプリング制御信号であり、これに対応して走査信号側（垂直方向）の上下の余白部に対応する走査信号線が選択レベルとなり、これに対応する画素に余白部に対応する映像信号がデータ信号線に入力される。

【0043】図4（b）には図4（a）のひとつの走査信号線X_iに対応する時間内のデータ駆動回路のタイミングの一例を示す。ここでBCSは行方向の余白部サン

12

プリング制御信号である。この信号に対応して、表示部の左右の余白部に対応する映像信号がデータ信号線に入力される。

【0044】上記シフトレジスタの出力領域A、Bによって、論理回路やバッファの構成が異なれば出力信号の遅延量が異なることとなり、データ駆動回路においてサンプリングタイミングずれにつながる可能性がある。

【0045】そのため該シフトレジスタの、一部を走査する時にシフト動作が行われる領域と、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域との間で、出力信号の遅延量が揃うよう、上記のように単位レジスタの構成トランジスタのチャネル幅を調整したり、タイミングを合わせるための遅延用の負荷をシフトレジスタの所定の信号ノードに設けたりすることが望ましい。

【0046】また、図9は上記両方式における駆動タイミングを説明するための図であり、図9（a）はA方式の駆動タイミングの波形図、図9（b）はB方式の駆動タイミングの波形図である。ここではA方式ではB方式に比べて精細度が高いため、駆動周波数は高いものになる。また、上記両方式では、ゲート駆動回路（走査信号線駆動回路）の出力パルス、ソース駆動回路（データ信号線駆動回路）のサンプリングパルスもデューティ比の異なるものになっている。

【0047】A方式のデータ信号（ビデオ信号）については、上記駆動回路の通常動作により画像表示することができる。一方B方式のデータ信号（ビデオ信号）を表示するためには、ドライバ（駆動回路）を構成するシフトレジスタの中央部のみを走査する必要がある。

【0048】次に作用効果について説明する。

【0049】この実施例では、そのドライバ内部の走査法の切り替えを制御信号Aによって行うようにしている。またB方式のデータ信号に対応する表示においては、表示画面の周縁部分が余白となり、通常この部分には黒表示を行う。この黒表示部分については、以下に説明するようにして映像信号を書き込む。

【0050】即ち、B方式のデータ信号に対しては、表示画像の左右両側部の余白部には、水平ブランキング時間の一部において、この部分に対応するアナログスイッチ11を開き、対応する映像信号を書き込む。一方、表示の上下の余白部には垂直ブランキング時間の一部に対応する走査信号線をすべてオンとし、その間にソースドライバを通じて対応する映像信号をデータ信号線に書き込むことによって行う。この方式によれば余白部は必ずしも黒しか表示できない訳ではなく、余白部には任意の階調の表示を行うことが可能である。

【0051】このように本実施例では、走査信号駆動回路、データ駆動回路が表示切り替え信号Aによって制御される構成としたので、映像信号の時間軸を変動しなくても表示部の上下端部や左右側部にしかるべき大きさの

(7)

特開平8-79663

11

【0037】また、シフトレジスタにおけるスタートパルスの入力ノードは、かならずしもB表示領域の境界に対応するシフトレジスタの信号ノードにきちんと合わせる必要はなく、オーバーキャンを考慮して数画素分外側に設けることも設計上充分に考慮すべきである。

【0038】図3は上記シフトレジスタの出力とバッファとの間の論理回路群を示す。図において、16はシフトレジスタ14の出力とバッファ（図示せず）との間に設けられている論理回路群で、上記シフトレジスタの各段の出力に対応する複数の単位論理回路16aからなる。ここでX1、・・・Xmはシフトレジスタ14の出力である。但し、所望の駆動信号を得るための、論理ゲートによるパルス幅の変換などは既に行われているものとする。RBは、B方式のデータ信号の表示領域に対応する、シフトレジスタの出力領域で、この出力領域RBに対応する単位論理回路16bは、直列接続の2つのインバータ26aからなり、切り替え信号Aに關係なくシフトレジスタ14の出力をそのまま通過させてバッファへ出力する。

【0039】一方、RAはB方式のデータ信号の表示領域上下の余白領域に対応する、シフトレジスタの出力領域で、この出力領域RAに対応する単位論理回路16aは、信号Aにより制御され、シフトレジスタの出力を受けるクロックインバータ26aと、信号/Aにより制御され、余白サンプリング制御信号BCを受けるクロックインバータ26bと、該両インバータ26a、26bの出力に共通接続されたインバータ26とからなる。この単位論理回路16aは、信号Aが1レベルの場合にはシフトレジスタ14の出力を通過させて直接バッファに出力し、信号Aが0レベルの場合には余白部サンプリング制御信号BCをシフトレジスタ14の出力のかわりにバッファに出力する。

【0040】上記説明では、ゲートドライバを構成するシフトレジスタについて説明したが、ソースドライバを構成するシフトレジスタも、行方向（水平走査方向）と列方向（垂直走査方向）の違いがあるだけで、その他は上記ゲートドライバのものと同様な構成となっている。

【0041】図4は上記各駆動回路の駆動タイミングの一例を示し、図4（a）は走査信号駆動回路の動作タイミングを説明するための波形図、図4（b）はデータ駆動回路の動作タイミングを説明するための波形図である。

【0042】図において、BCGが列方向の余白部サンプリング制御信号であり、これに対応して走査信号側（垂直方向）の上下の余白部に対応する走査信号線が選択レベルとなり、これに対応する画素に余白部に対応する映像信号がデータ信号線に入力される。

【0043】図4（b）には図4（a）のひとつの走査信号線X、に対応する時間内のデータ駆動回路のタイミングの一例を示す。ここでBCSは行方向の余白部サン

12

プリング制御信号である。この信号に対応して、表示部の左右の余白部に対応する映像信号がデータ信号線に入力される。

【0044】上記シフトレジスタの出力領域A、Bによって、論理回路やバッファの構成が異なれば出力信号の遅延量が異なることとなり、データ駆動回路においてサンプリングタイミングずれにつながる可能性がある。

【0045】そのため該シフトレジスタの、一部を走査する時にシフト動作が行われる領域と、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域との間で、出力信号の遅延量が揃うよう、上記のように単位レジスタの構成トランジスタのチャネル幅を調整したり、タイミングを合わせるための遅延用の負荷をシフトレジスタの所要の信号ノードに設けたりすることが望ましい。

【0046】また、図9は上記両方式における駆動タイミングを説明するための図であり、図9（a）はA方式の駆動タイミングの波形図、図9（b）はB方式の駆動タイミングの波形図である。ここではA方式ではB方式に比べて精細度が高いため、駆動周波数は高いものになる。また、上記両方式では、ゲート駆動回路（走査信号線駆動回路）の出力パルス、ソース駆動回路（データ信号線駆動回路）のサンプリングパルスもデューティ比の異なるものになっている。

【0047】A方式のデータ信号（ビデオ信号）については、上記駆動回路の通常動作により画像表示することができる。一方B方式のデータ信号（ビデオ信号）を表示するためには、ドライバ（駆動回路）を構成するシフトレジスタの中央部のみを走査する必要がある。

【0048】次に作用効果について説明する。

【0049】この実施例では、そのドライバ内部の走査法の切り替えを制御信号Aによって行うようにしている。またB方式のデータ信号に対応する表示においては、表示画面の周縁部分が余白となり、通常この部分には黒表示を行う。この黒表示部分については、以下に説明するようにして映像信号を書き込む。

【0050】即ち、B方式のデータ信号に対しては、表示画像の左右両側部の余白部には、水平ブランキング時間の一部において、この部分に対応するアナログスイッチ11を開き、対応する映像信号を書き込む。一方、表示の上下の余白部には垂直ブランキング時間の一部に対応する走査信号線をすべてオンとし、その間にソースドライバを通じて対応する映像信号をデータ信号線に書き込むことによって行う。この方式によれば余白部は必ずしも黒しか表示できない訳ではなく、余白部には任意の階調の表示を行うことが可能である。

【0051】このように本実施例では、走査信号駆動回路、データ駆動回路が表示切り替え信号Aによって制御される構成としたので、映像信号の時間軸を変動しなくても表示部の上下端部や左右側部にしかるべき大きさの

(8)

特開平8-79663

13

余白部を形成することができ、所定のアスペクト比、表示容量を持つ複数の表示方式の切り替えが可能となる。

【0052】（実施例2）図5は本発明の第2の実施例による表示装置を説明するための図であり、この実施例では、第1実施例の各駆動回路を構成するシフトレジスタを双方向走査可能なものとしたものである。ここでは、入力初段以外の単位レジスタ30bは、2つのクロックドインバータを逆方向に並列接続してなる並列接続体を、2つ直列に接続して構成されている。また入力初段の単位レジスタ30aは、1つのクロックドインバータの出力に上記並列接続体を接続した構成となっている。上記単位レジスタにクロック信号とともに入力される信号Rがシフトレジスタの走査方向の切り替え用の信号となっている。ここではシフトレジスタ30の両側からスタート信号SPと信号AとのANDが入力される。またB方式の表示画面の左端（上端）に対応する、シフトレジスタの信号ノードBu'には、スタート信号と信号RとのAND入力がクロックドインバータ31aを介して、信号Aが0レベルの場合のみ入力される。B方式の表示画面の右端（下端）に対応する、シフトレジスタの信号ノードBd'には、スタート信号SPと信号RのAND出力がクロックドインバータ31bを介して、信号Aが0レベルの場合のみ入力される。

【0053】これによって信号Aが1レベルの場合にはシフトレジスタ30全体が走査され、かつその走査方向が信号Rによって切り替え可能となる。

【0054】一方信号Aが0レベルの場合には、シフトレジスタ30の中でそのB方式の表示画面に対応する領域のみが走査され、かつこの走査領域中では走査方向を切り替えることができる。この場合にもシフトレジスタとバッファとの間には図3に示すような論理ゲート群が設けられており、第1の実施例の場合と同様の表示を得ることができる。

【0055】（実施例3）図7は本発明の第3の実施例による表示装置を説明するための図であり、これは、上記第1の実施例におけるゲート駆動回路及びソース駆動回路を構成するシフトレジスタを、デコーダに置き換えたものである。

【0056】図において、40は上記ゲート駆動回路を構成するデコーダで、図7（a）に示すように、各走査信号線に対応する単位選択回路40aを複数有している。該各単位選択回路40aの出力は、上記第1の実施例と同様上記論理回路群16の対応する単位論理回路16a、16bに接続されている。これらの単位論理回路16a、16bは図7（d）、図7（c）に示すように上記第1の実施例における構成と全く同一である。また、上記単位選択回路40aは、図7（b）に示すように、複数の入力データ信号を受ける2つのNAND回路41と、該NAND回路41の出力を入力とするAND回路42とからなる。

14

【0057】このような構成の本実施例では、上記シフトレジスタを用いる第1の実施例と同様、データ信号（映像信号）に時間軸の変調をかけなくとも、行方向、列方向の画素数が異なる複数の表示方式のデータ信号を、一つの表示装置においてその動作を切り替えて表示することが可能となり、その切り替えもデータ制御信号の切り替えによって行うことができ、非常に簡便である。

【0058】また、この実施例では、データ制御信号を変えることによって、上記デコーダ40における走査領域、つまり単位選択回路を駆動する範囲と、走査タイミング、つまり該単位選択回路の駆動タイミングを変更できる。

【0059】（実施例4）図8は本発明の第4の実施例による表示装置を説明するための図であり、第1実施例の構成において、データ駆動回路中のアナログスイッチ111とは別にデータバスライン102に余白部映像信号を入力するためのアナログスイッチ112を設けたものである。これらのアナログスイッチ112は余白部映像信号入力線113と各データ信号線102との間に接続されている。

【0060】ここで、上記B方式の表示画像における左右の余白部に対応するアナログスイッチ112は、制御信号BCSによってオン、オフが制御される。

【0061】この実施例では、上記第1の実施例の効果に加えて、映像信号の行方向走査時のブランキング部に余白部に対応する映像信号を挿入する必要がなくなり、外部の制御回路が簡略化される。

【0062】またB方式の表示画像の、左右の余白以外の領域に対応するデータ信号線にも、別の制御信号BCS'によってオン、オフ制御されるアナログスイッチ112aを介して余白部映像信号を入力する構成とすることができる。これによってB方式の表示画像における上下の余白部に対応する映像信号もこのアナログスイッチ112aを通じて入力することが可能となる。

【0063】

【発明の効果】以上のように本発明によれば、走査信号駆動回路あるいはデータ駆動回路を構成するシフトレジスタを、スタート信号が入力されるノードが、制御信号により設定され、該設定されたノードの直前の単位レジスタが、該制御信号により非動作状態となるようにし、シフト動作のスタート位置及び終了位置の一方またはその両者を制御信号によって切替え可能な構成としたので、該シフトレジスタにおいて、走査信号線やデータ信号線の選択信号を一端側から他端側にシフトさせる範囲を変えることができる。これにより行方向、列方向の画素数が異なる複数の表示方式の画像を、データ信号に時間軸の変調処理を施すことなく、データ信号の表示方式に合わせて表示することができる効果がある。

【0064】つまり、サイズの大きな表示画面の映像信

(9)

特開平 8-79663

15

号に対しては、上記シフトレジスタの全範囲に渡ってシフト動作を行い、サイズの小さい表示画面の映像信号に対しては、上記シフトレジスタの限られた範囲でシフト動作をさせることにより、データ信号の時間軸を変調しなくても表示部の上下端部や左右側部にしかるべき大きさの余白部を形成することができ、所定のアスペクト比、表示容量を持つ複数の表示方式の切り替えが可能となる。

【0065】この発明によれば、走査信号駆動回路及びデータ駆動回路の少なくとも一方が、表示切り替え信号によって制御され、この表示切り替えによって表示部では、表示画面の周辺部が余白領域となるようにしたので、サイズの大きな表示画面の映像信号に対しては、上記表示画面の全体に渡って画像表示を行い、サイズの小さい表示画面の映像信号に対しては、上記表示画面の周辺部を余白とし、該周辺部を除く限られた範囲に画像表示を行うことにより、データ信号の時間軸を変調しなくても表示部の上下端部や左右側部にしかるべき大きさの余白部を形成することができ、所定のアスペクト比、表示容量を持つ複数の表示方式の切り替えが可能となる効果がある。

【0066】この発明によれば、複数の出力ノードを有し、複数の入力信号に基づいて所定の出力ノードに信号を出力するデコーダと、該デコーダの各出力ノードからの信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲートとを備え、該論理ゲートを、該デコーダの各出力ノードへのデコード出力が順次切り替わる領域ではそのデコード出力をそのまま該バッファに出力し、該デコーダの各出力ノードへのデコード出力が一定である領域では、そのデコード出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成したので、上記と同様、行方向、列方向の画素数が異なる複数の表示方式の画像を、データ信号に時間軸の変調処理を施すことなく、データ信号の表示方式に合わせて表示することができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例による表示装置における表示状態を模式的に示す図である。

【図2】上記第1実施例の表示装置の走査信号駆動回路及びデータ駆動回路を構成するシフトレジスタの回路構

16

成を示す図である。

【図3】上記シフトレジスタと、その出力側のバッファとの間に設けられている論理ゲート群を説明するための図である。

【図4】上記第1実施例の表示装置を構成する各駆動回路の動作タイミングを示す波形図である。

【図5】本発明の第2の実施例による表示装置の駆動回路を構成するシフトレジスタの回路構成を示す図である。

【図6】従来のアクティブマトリクス基板を用いた液晶表示装置の構成を示す図である。

【図7】本発明の第3の実施例による表示装置を構成する駆動回路の構成を示す図である。

【図8】本発明の第4の実施例による表示装置を構成する駆動回路の構成を示す図である。

【図9】上記第1実施例の表示装置におけるA方式、B方式での駆動波形を示す図である。

【符号の説明】

2a A方式の表示画像

2b B方式の表示画像

4 ゲートドライバ（走査信号駆動回路）

5 ソースドライバ（データ駆動回路）

14、15、30 シフトレジスタ

14a、14b、30a、30b 単位レジスタ

16 論理回路群

16a、16b 単位論理回路

24a、24b、25a、25b、26a、26b ク

ロックドインバータ

26 インバータ

40 デコーダ

40a 単位選択回路

41 NAND回路

42 AND回路

101 走査信号線（ゲートバスライン）

102 データ信号線（データバスライン）

103 画素TFT

106 画素容量

107 画素

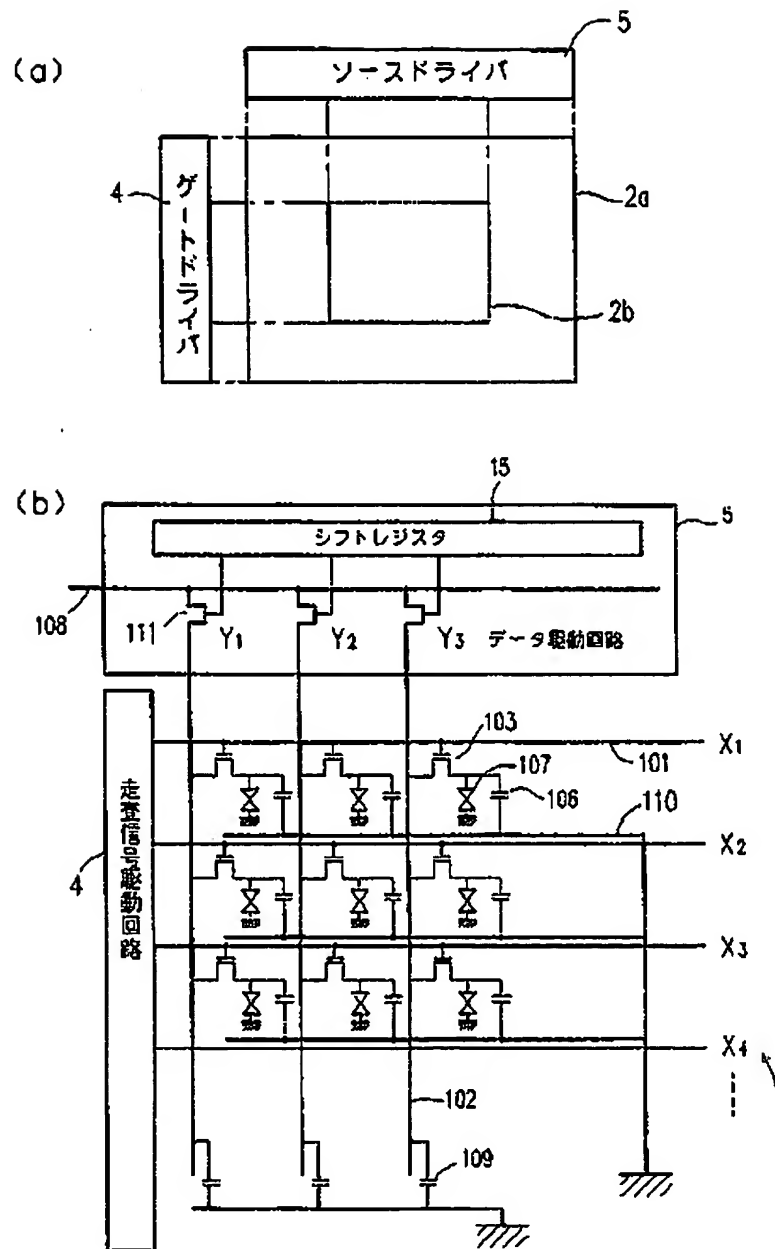
108 映像信号入力線

111、112、112a アナログスイッチ

(10)

特開平 8-79663

【図 1】

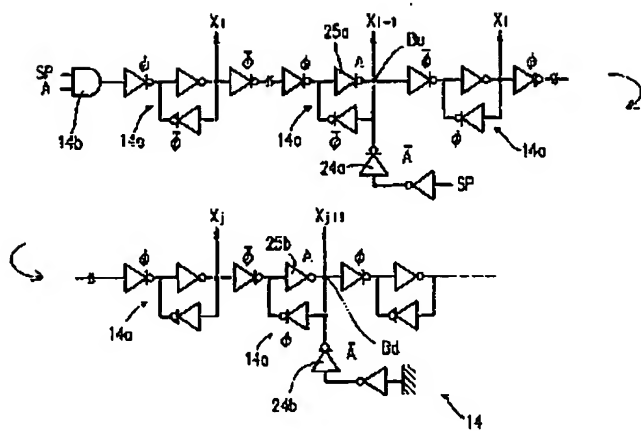


BEST AVAILABLE COPY

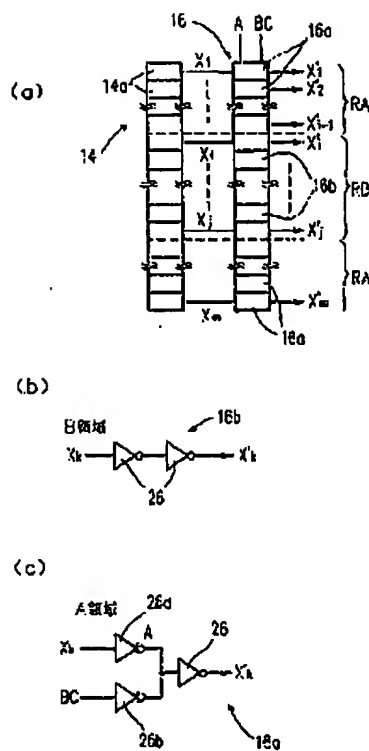
(11)

特開平8-79663

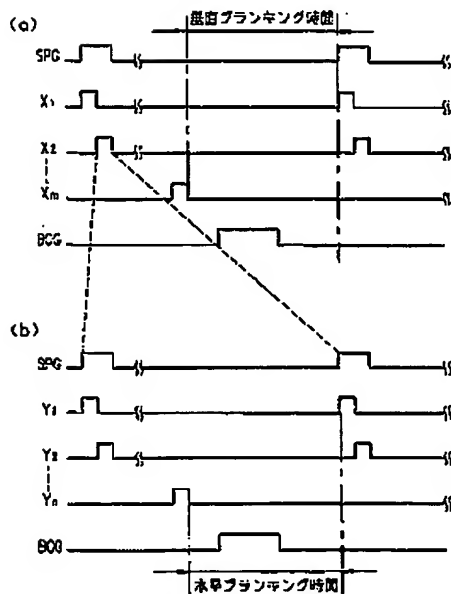
【図2】



【図3】



【図4】

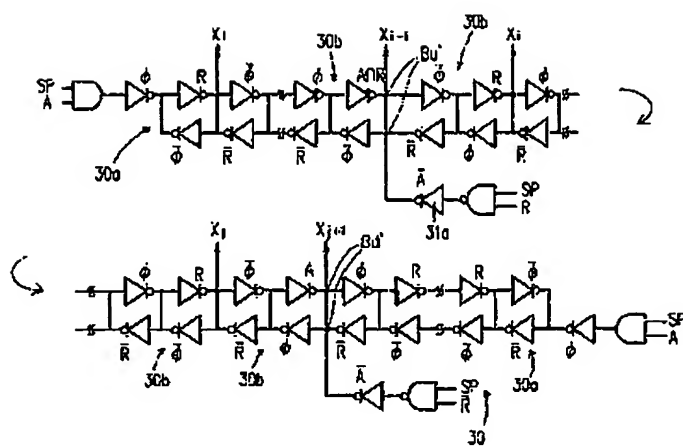


BEST AVAILABLE COPY

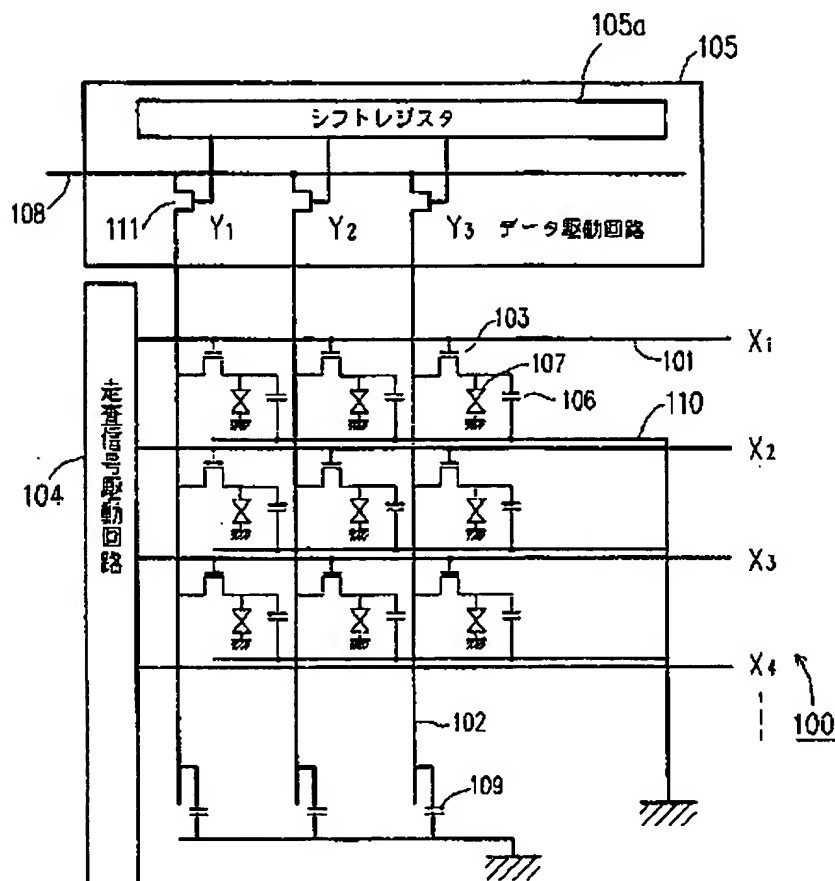
(12)

特開平 8-79663

【図5】



【図6】

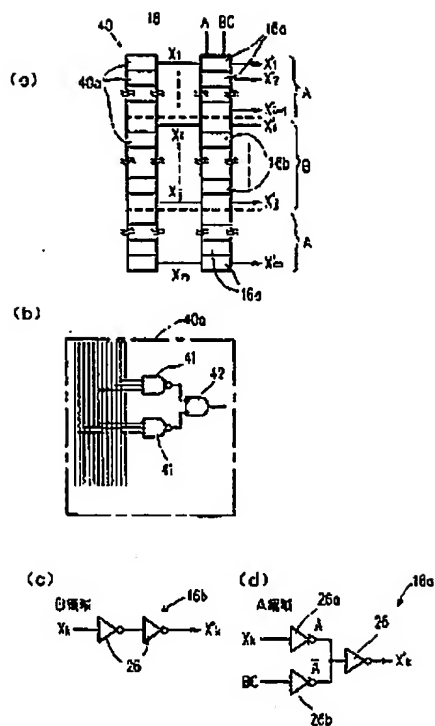


BEST AVAILABLE COPY

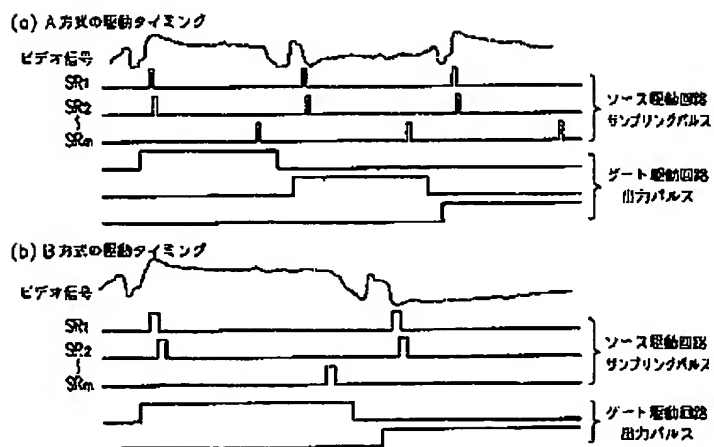
(13)

特開平 8-79663

【図 7】

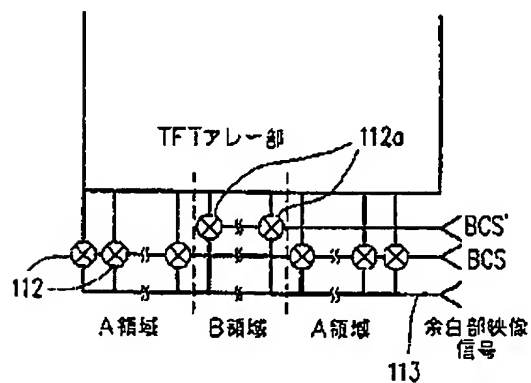
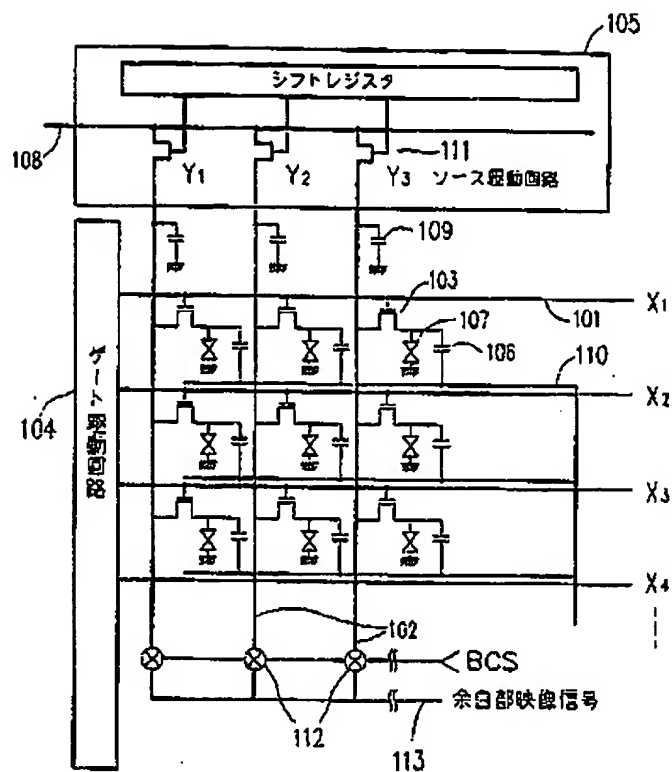


【図 9】



BEST AVAILABLE COPY

【图8】



BEST AVAILABLE COPY